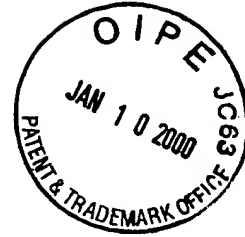


2/9/1  
DIALOG(R)File 347:JAPIO  
(c) 1999 JPO & JAPIO. All rts. reserv.



02933424    \*\*Image available\*\*  
THIN-FILM TRANSISTOR ARRAY

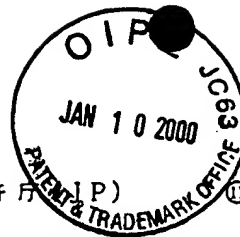
PUB. NO.:        01-231024    JP 1231024    A]  
PUBLISHED:      September 14, 1989 (19890914)  
INVENTOR(s):    TANAKA SAKAE  
                  WATANABE YOSHIAKI  
APPLICANT(s):   SEIKOSHA CO LTD [400433] (A Japanese Company or Corporation),  
                  JP (Japan)  
APPL. NO.:      63-057598    [JP 8857598]  
FILED:          March 11, 1988 (19880311)  
INTL CLASS:     [4] G02F-001/133; H01L-021/88; H01L-029/78  
JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
                  (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass  
                  Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
                  Semiconductors, MOS)  
JOURNAL:        Section: P, Section No. 973, Vol. 13, No. 554, Pg. 69,  
                  December 11, 1989 (19891211)

#### ABSTRACT

PURPOSE: To lower the resistance of a gate wiring and to improve the rise and fall characteristics of the signal to be impressed to a gate electrode by forming the gate wiring of a metallic wiring for which a metal having the resistivity lower than the resistivity of Ta is used and a Ta wiring which covers the metallic wiring.

CONSTITUTION: The gate wiring 4 of the thin-film transistor array formed by using a gate insulating film or an anodized Ta film for a part of the gate insulating film is formed of the metallic wiring 2 for which the metal having the resistivity lower than the resistivity of the Ta is used and the Ta wiring which covers the metallic wiring 2. The metal to be used for the metallic wiring is preferably a high melting metal or the alloys of the high melting metals, for which Mo, W/Mo alloy, W/Ta alloy, Mo/Ta alloy, etc., in addition to W are usable. The resistance of the gate wiring 4 is thereby decreased and the rise and fall characteristics of the signal to be impressed to the gate electrode 6 are improved. Since the Ta film is thin, there is no problem in coverability of steps.

BEST AVAILABLE COPY



9455-PUS-A1

⑩ 日本国特許庁 (J P) ⑪ 特許出願公開

⑩ 公開特許公報 (A) 平1-231024

⑨ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ④ 公開 平成1年(1989)9月14日  
G 02 F 1/133 3 2 7 7370-2H  
H 01 L 21/88 R-6824-5F  
29/78 3 1 1 X-7925-5F 審査請求 未請求 請求項の数 3 (全5頁)

④ 発明の名称 薄膜トランジスタアレイ

① 特 願 昭63-57598

② 出 願 昭63(1988)3月11日

⑦ 発 明 者 田 中 栄 東京都墨田区太平4丁目1番1号 株式会社精工舎内  
⑧ 発 明 者 渡 辺 善 昭 東京都墨田区太平4丁目1番1号 株式会社精工舎内  
⑨ 出 願 人 株 式 会 社 精 工 舎 東京都中央区京橋2丁目6番21号  
⑩ 代 理 人 弁 理 士 松 田 和 子

明 細 書

1. 発明の名称

薄膜トランジスタアレイ

2. 特許請求の範囲

(1) ゲート絶縁膜またはゲート絶縁膜の一部に T a (タンタル) 陽極酸化膜を用いた薄膜トランジスタアレイにおいて、上記薄膜トランジスタアレイのゲート配線が、T a よりも抵抗率の低い金属を用いた金属配線と、この金属配線を覆う T a 配線とにより形成されていることを特徴とする薄膜トランジスタアレイ。

(2) 上記金属配線が、ゲート配線とソース配線の交差部以外の部分に形成されていることを特徴とする請求項1記載の薄膜トランジスタアレイ。

(3) 上記金属配線を形成する金属が、高融点金属または高融点金属同志の合金であることを特徴とする請求項1または2記載の薄膜トランジスタアレイ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、ゲート絶縁膜またはゲート絶縁膜の一部に T a (タンタル) 陽極酸化膜を用いた薄膜トランジスタアレイに関する。

[従来の技術]

近年薄型の画像表示器として、液晶マトリクス表示器、とりわけ各画素毎にスイッチング素子を設けた、いわゆるアクティブマトリクス型の液晶表示器が各所で研究開発されている。

第5図は、上記アクティブマトリクス型の液晶表示器の回路構成例を模式的に表わしたものである。

ゲート配線4のなかで、例えば X 1 が選択されると、これに連なる M I S 型の薄膜トランジスタ(以下、T F T という) 2 1 のゲートは一斉にオンし、これらオンした T F T のソースを通して、ソース配線12より、画像情報に対応した信号電圧が、T F T 2 1 のドレインに伝達される。ドレインには画素電極13が接続され、この画素電極13と、液晶層22をはさんで他方の基板上に形成された対向電極23との電圧差により、液晶層

BEST AVAILABLE COPY

3を化成電圧100ボルトで陽極酸化してTa陽極酸化膜5を形成し、ゲート絶縁層の一部とする。このときのTa配線3の膜厚は100ナノメートルであり、Ta陽極酸化膜5の膜厚は200ナノメートルである。

(c)窒化シリコン膜7、非晶質シリコン膜8および保護絶縁膜9を堆積し、保護絶縁膜9を所定の形状にパターニングする。なおゲート絶縁層は、Ta陽極酸化膜5と窒化シリコン膜7により形成される。

(d) n型シリコン膜、Ti(チタン)を堆積し、これらと非晶質シリコン膜8を選択的に除去して、n型シリコン膜とTiによるソース電極10およびドレイン電極11を形成する。

(e)透明導電膜を堆積後これをパターニングして、ソース配線12および西素電極13を形成する。

以上のように形成された薄膜トランジスタアレイではゲート配線4が低抵抗のW(抵抗率5.5オーム・センチ)を用いた金属配線2と、この金

属配線2を覆うTa配線3により形成されているため、ゲート配線4の抵抗が減少し、ゲート電極6に印加される信号の立上がり、立下がり特性が改善される。またTaの膜厚は薄いので、段差低減の問題もない。

第4図は、本発明における第2の実施例を表わした平面図である。第1の実施例は金属配線2をゲート配線4の全域に形成したのに対し本実施例では、金属配線2をゲート配線4とソース配線12の交差部以外の部分に形成している。このような構造にすると、交差部でのゲート配線4の絶縁層が減少するため、交差部でのソース配線12の断線あるいは、ゲート配線4とソース配線12間での絶縁不良が減少する。なお交差部ではTa配線3のみでゲート配線4を形成しているが、この部分は全体のゲート配線4の長さから比較すると非常に短く、ゲート配線4の抵抗はほとんど増加することはない。

なお金属配線に用いる金属は高融点金属または高融点金属同士の合金が好ましく、上記実施例で

用いたWの他にMo(モリブデン)、W/Mo合金、W/Ta合金Mo/Ta合金などを用いることができる。

#### 【発明の効果】

本発明によれば、ゲート配線が、Taよりも抵抗率の低い金属を用いた金属配線と、この金属配線を覆うTa配線とにより形成されているため、ゲート配線の抵抗が減少し、ゲート電極に印加される信号の立上がり、立下がり特性が改善される。その結果、液晶表示器に用いた場合、その表示品質を向上させることができる。

さらに、金属配線をゲート配線とソース配線の交差部以外の部分に形成したもので、交差部でのソース配線の断線あるいはゲート配線とソース配線間での絶縁不良が減少するため、歩留りを向上させることができる。

#### 4. 図面の簡単な説明

第1～3図は本発明における第1の実施例を示したものであり、第1図は平面図、第2図および第3図はそれぞれ第1図のII-II線およびIII-III

線での工程断面図、第4図は本発明における第2の実施例を表わした平面図、第5図はアクティブマトリクス型の液晶表示器の構成例を表した電気回路図、第6図は従来の薄膜トランジスタアレイを示した平面図、第7図はTa陽極酸化膜を用いた薄膜トランジスタの断面図である。

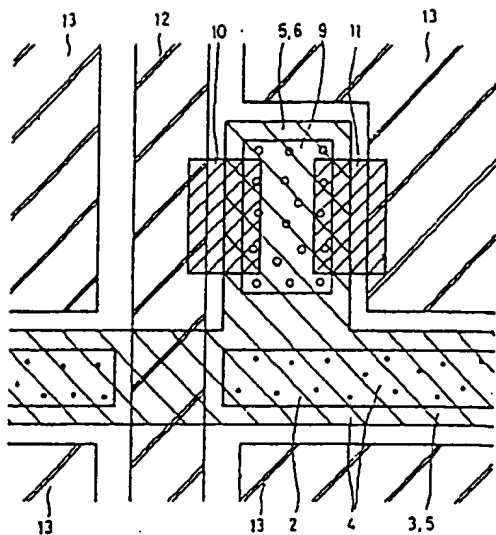
- 2…金属配線
- 3…Ta配線
- 4…ゲート配線
- 5…Ta陽極酸化膜

以上

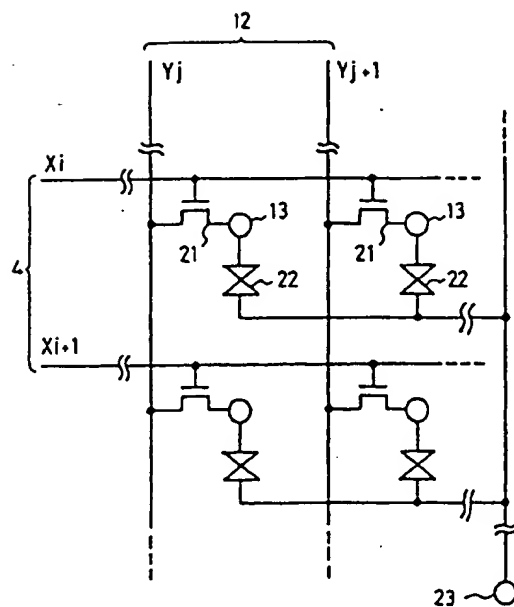
出願人 株式会社 精工舎  
代理人 弁護士 松川和子

BEST AVAILABLE COPY

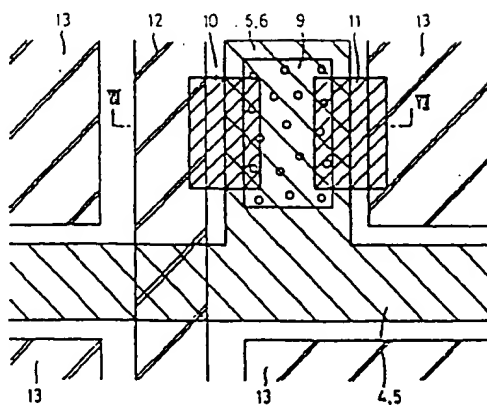
第 4 圖



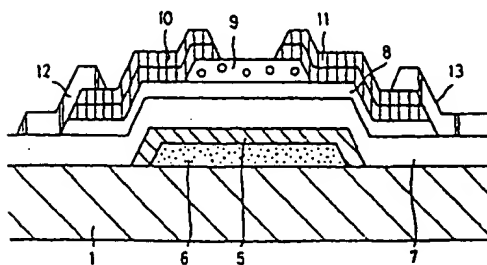
第 5 圖



第 6 圖



第 7 圖



BEST AVAILABLE COPY